

MÜLLER · HOFFMANN & PARTNERS

wy

Translation of excerpts from DE 197 40 055 A1Col. 2, last para., to col. 4, first para.

According to the embodiment of Fig. 1, there is provided a semiconductor substrate 1, preferably silicon, on which a plurality of electric components 2 (chips) are disposed (Fig. 1a). Between the components 2 is exposed a substrate region through which extends the saw cut 1a for subsequent separation of the components. Part of the surface of the components 2 is an electrically isolated coating, e.g. silicon oxide, provided with contact holes for the electrical connections. The contact terminals on the top surface are in the form of metal conductor paths 3 so as to create an electrical connection to the terminal pins provided within the chip surface. For finishing front side structuring, the surface is provided with a casting compound 4 such as an epoxy or an adhesive of good thermal conductivity and a silicon coating 5 (Fig. 1b) thereby completely passivating the chip surface.

The back side of the substrate now is mechanically or chemically thinned throughout its surface until it has a thickness of about 100 µm so that its level corresponds to the pin underside to be formed later (Fig. 2a). The rest 6 of the substrate on the back side is planar after this step has been carried out and thus particularly well prepared for subsequent masking. The terminal pins are formed on the planar back side by the following steps and at the same time the scribe frame which is slightly wider than the saw cut 1a is exposed between the components 2 for subsequent separation of the chips. The illustration only shows the most important intermediate results. The positions of the substrate pins which are given by the run of the conductor paths on the front side are fixed on the back side through a first metal mask 7a. By means of a second mask the whole underside is covered except for the substrate region around the pins and between the chips in the scribe frame. Thereafter the exposed substrate material between the pins is abraded by a plasma etching process in a high rate etchant of high aspect ratio until a small rest remains. After removal of the second mask the residual substrate material around the pins and the substrate material below the components is etched off. Etching is stopped as soon as in the scribe frame and around the terminal pins the adhesive 4 of the front side is reached. But the etching process also stops at a silicon oxide and a metal boundary, i.e. also at the metallizing layer which is exposed within the etching gap. That is required for providing contact between the back side of the chip and the electrical connections of the chip on the front side, thereby creating a slightly raised pin structure 7 (Fig. 2b) which

**MÜLLER · HOFFMANN & PARTNERS**

is electrically separated from the rest of the substrate (Fig. 2c). By abrading the substrate within the scribe frame, the chips are separated from one another and the singling step is prepared. They now are interconnected only by the bonded coating on the top side of the wafer. Metallization of the terminal pins 7 takes place by overall sputtering the back side of the wafer, lacquer structuring and reinforcing the provided conductor paths by electroplating and overall etching back the metallization layer. The result is an electrical connection from the bond pads on the front side of the chip to the pin surface on the back side. The substrate pins now are electrically connected to the IC on the front side via the contact metallization or the bond pad and mechanically via the coating 5. For backing the pins, the etching channel and the scribe frame are filled with a casting compound 9 and at the same time also the back side of the chip is coated with casting material resulting again in a planar surface (Fig. 2d). At this stage solder material in the form of bumps or ball grids 10 can be applied in conventional process steps (Fig. 2e). Also rewiring can be easily made on the planar surface, if required.

All process steps described so far are carried out in the wafer compound. The individual chips in fact are separated from one another by etching along the scribe frame, but are held together by the coating on the front side. Separating the chips 11 takes place now by sawing along the separating gap of the scribe frame (Fig. 2f). In this action, casting material remains laterally along the separating gap so that the chip is protected from all sides.

**Claims 7, 11, 13, 15**

7. A method of manufacturing electrical component packages characterized in that

- the substrate surface (1) and the chip surface (2) are provided with an electrically isolating covering layer having contact holes for electrical connections,
- terminal pads (3) are placed on the chip periphery or at the location within the chip (2) provided for leading the connecting terminals through,
- the substrate (1) and the chip surface (2) are fixedly connected by a coating,
- the substrate on the back side is thinned until a rest (6) remains,
- terminal pins (7) in the substrate material insulated from the rest of the substrate (1) and the scribe frame are etched until the terminal pads (3) on the front side are reached, for subsequent singling of the chips (2),
- the terminal pins (7) are metallized,
- the back side is completely covered with a casting material (9),

**MÜLLER · HOFFMANN & PARTNERS**

---

- at those locations where the terminal pins (7) are provided, the casting material (8) is etched off on the back side for terminal metallization, and<sup>9</sup>
  - the electrical contact (8) is applied.
11. The method according to claim 7 characterized in that the back side of the chip is mechanically or chemically thinned until it has a residual thickness of from 75 to 200  $\mu\text{m}$ .
13. The method according to claim 7 characterized in that the scribe frame for singling the chips is structured simultaneously with the terminal pins by high rate plasma etching.
15. The method according to claim 1 characterized in that the casting material (8) is epoxy or PMMA.

## Beschreibung

Die Erfindung bezieht sich auf ein Gehäuse für elektrische Bauteile nach dem Oberbegriff des Patentanspruchs 1 und ein Verfahren zur dessen Herstellung nach dem Oberbegriff des Patentanspruchs 7.

Mit zunehmender Hochintegration in der Informationstechnik werden die Anforderungen an die Aufbau- und Verbindungstechnik durch volumen- und gewichtssparende Bauformen immer anspruchsvoller. In vielen Anwendungsfällen wird der Einsatz von Elektronik erst durch den Aufbau von komplexen Systemen möglich, die hochintegrierte elektrische Bauteile mit einer großen Anzahl externer Anschlüsse beinhalten. Übliche Systemträger sind nach wie vor Leiterplatten.

Seit etwa zwei Jahren wurde unter der Bezeichnung "Chip Size Packaging" (nachfolgend als CSP bezeichnet) ein Häusungsverfahren von elektrischen Bauteilen entwickelt, bei dem der Platzbedarf des montierten Chips nicht größer als das 1,2fache der Fläche des ungehäusten Bauteils ist (Crowley et al. Workshop on Flip Chip and Ball Grid Arrays, Nov. 13-15, 1995, Berlin). Bei der Montage der gehäusten Bauteile auf Leiterplatten kommt hinzu, daß eine gute Verbindung auch bei kleinen Dimensionen gewährleistet sein muß. Das Verfahren ist sowohl für Einzelbauelemente, Integrierte Schaltungen (IC's) als auch für Hochfrequenzbauelemente einsetzbar.

Ein maßgebliches Kriterium bei der Herstellung ist, daß sich eine Vielzahl der auf großflächigen Substraten angeordneten Bauteile (im Waferverbund) mit den in der Halbleitertechnologie gängigen Verfahrensschritte bearbeiten lassen. Dies ist eine wichtige Voraussetzung für geringe Herstellungskosten bei hoher Ausbeute.

Es ist bekannt, daß eine Häusung nach dem Prinzip des CSP auf Waferebene angewandt wird. In den Patentschriften US 5,403,729 und US 5,441, 898 sind solche Verfahren beschrieben. Sie bestehen aus einer Prozeßfolge bei der ein integrierter Schaltkreis auf der Oberseite eines Halbleitermaterials mit einer Isolierschicht bedeckt wird und durch Öffnen von Kontaktlöchern elektrische Zuleitungen vom IC auf das Substratmaterial gelegt werden, die an den Enden vergrößerte Anschlußflächen besitzen. Das zwischen den Anschlußpunkten auf dem Substrat und dem IC liegende Substratmaterial wird durch eine Grabenätzung abgetragen. Die gesamte Oberfläche wird anschließend mit einer weiteren Isolierschicht, die auch den Graben ausfüllt, bedeckt. Um den auf der Vorderseite vorgegebenen Anschlußpunkt wird von der Rückseite eine weitere Ätzung vorgenommen, so daß aus dem Substratmaterial ein vom übrigen Gehäuse elektrisch getrennter und aus der Bauteilunterseite etwas herausragender Anschlußpfosten entsteht. Eine Metallschicht auf der Pfostenunterseite und Seitenfläche schließt den vorderseitigen Kontakt elektrisch an. Die Pfostenunterseite dient als Kontaktfläche beim Montieren des elektrischen Bauteils auf Leiterbahnen. Die nicht vorveröffentlichte Patentanmeldung AZ 197 06 811 beschreibt ein CSP-Herstellungsverfahren, das die Packungsdichte erhöht und dabei die Haftung des Anschlußpfostens auf einer Leiterbahn verbessert. Ebenfalls zu Stand der Technik gehört die "ball grid array"-Technik (BGA), bei der das gehäuste Bauteil die ursprüngliche Chipfläche nur noch gering übersteigt (Tomita, Y.: Studies of high pin count molded chip scale package, Area Array Packaging Technologies - Workshop on Flip Chip and Ball Grid Arrays). Die Besonderheit des BGA-Verfahrens steckt in der flächenhaften Anordnung der elektrischen Anschlüsse innerhalb der Chipfläche.

Ein großer Nachteil bei diesem Verfahren ist der zusätzliche Flächenbedarf für den Ritzrahmen, über den die elektri-

schen Kontakte geführt werden sowie die Beschränkung auf periphere Anschlüsse. Weiterhin können bei zunehmender Packungsdichte die Anschlußpfosten zu nahe an das Bauteil geraten, wobei dann das Lotmaterial einen Kurzschluß verursacht.

Weitere Nachteile ergeben sich durch die vergleichsweise langen, über den Chiprand geführten Leiterbahnen und den daraus bedingten parasitären Effekten, die sich besonders bei Hochfrequenzanwendungen nachteilig auswirken.

Der Erfindung liegt deshalb die Aufgabe zugrunde, ein Gehäuse für elektrische Bauteile und ein Verfahren zur dessen Herstellung anzugeben, beim Häusen von elektrischen Bauteilen die Packungsdichte zu erhöhen und kurze elektrische Zuleitungen zu realisieren.

Die Erfindung wird in Bezug auf das Gehäuse durch die Merkmale des Patentanspruchs 1 und in Bezug auf das Verfahren durch die Merkmale des Patentanspruchs 7 wiedergegeben. Die weiteren Ansprüche enthalten vorteilhafte Aus- und Weiterbildungen der Erfindung.

Ein wesentlicher Vorteil der Erfindung besteht darin, daß Anschlußpfosten innerhalb der Chipfläche realisiert werden, ohne daß zusätzliche Waferfläche über den Chiprand hinaus benötigt wird. Aus der direkten Durchführung der einzelnen elektrischen Anschlüsse resultiert eine geringe Zuleitungslänge und damit geringere parasitäre Einflüsse, woraus sich optimale Bedingungen für den Einsatz bei höchsten Frequenzen ergeben.

Besonders rationell ist, neben dem Einsatz von Standardprozessen der Halbleitertechnologie, daß alle Prozeßschritte im Waferverbund vorgenommen werden. Erst mit Hilfe der seit kurzer Zeit verfügbaren Technologie eines Hochratenätzprozesses lassen sich anisotrope, d. h. senkrecht verlaufende Ätzprofile in Substraten wie beispielsweise Silicium mit einer Tiefe herstellen, die außerdem die zur Strukturverkleinerung an Bauteilen erforderliche Präzision gewährleisten. Dabei können durch hohe Selektivitäten gegenüber Lack- und SiO<sub>2</sub>-Masken steile Kanten bis zu einigen 100 µm Tiefe erzeugt werden. Ergänzend bietet dieses Verfahren auch die Möglichkeit tiefe senkrechte Gräben am Chiprand auszubilden und so eine Trennätzung zur Vereinzelung durchzuführen, wobei eine Abdeckung der Seitenfläche mit Füllmaterial ohne weiteren Aufwand am Chiprand eine Passivierung bewirkt. Eine aufwendige Umverdrahtung der Anschlüsse auf der Chiprückseite ist durch geschicktes führen der Leiterbahnen von den Anschlußpfosten zum Bondpad nicht mehr notwendig.

Im folgenden wird die Erfindung anhand von vorteilhaften Ausführungsbeispielen unter Bezugnahme auf schematische Zeichnungen in den Figuren näher erläutert. Es zeigen:

Fig. 1a/1b Prozeßfolge der Chipvorderseite;

Fig. 2a-2f Prozeßfolge mit mehrlagiger Maskierung der Chiprückseite zur Herstellung der Anschlußpfosten;

Fig. 3 Chiprückseite mit direkter Durchführung der Anschlußpfosten;

Fig. 4 Chiprückseite mit über der Abdeckung erhabenen Anschlußpfosten;

Fig. 5 Prozeßfolge als Variante zur Herstellung der Anschlußpfosten.

Im Ausführungsbeispiel, gemäß Fig. 1, ist ein Halbleitersubstrat 1, vorzugsweise Silicium, auf dem sich eine Anzahl elektrischer Bauteile 2 (Chips) befinden vorgegeben (Fig. 1a). Zwischen den Bauteilen 2 liegt ein Substratbereich frei, durch den der Sägeschnitt 1a zur späteren Trennung der Bauteile verläuft. Bestandteil der Oberfläche der Bauteile 2 ist eine elektrisch isolierende Deckschicht, beispielsweise Siliciumoxid, die mit Kontaktlöchern für die elektrischen Anschlüsse versehen ist. Die Kontaktschlüsse auf der Oberseite sind als Metalleiterbahnen 3 aus-

geführt, die innerhalb der Chipfläche eine elektrische Verbindung mit den vorgesehenen Anschlußpfosten bewirken. Zum Abschluß der Vorderseitenstrukturierung wird die Oberfläche mit einer Vergußmasse 4, beispielsweise Epoxy, oder einem gut wärmeleitenden Kleber und einer Siliziumabdeckung 5 versehen (Fig. 1b), wodurch die Chipoberfläche auf diese Weise vollständig passiviert ist.

Die Substratrückseite wird nun mechanisch oder chemisch bis auf etwa 100 µm ganzflächig auf das Niveau gedünnt, das der späteren Pfostenunterseite entspricht (Fig. 2a). Der Substratrest 6 der Rückseite ist nach diesem Schritt eben und damit für die nachfolgende Maskierung besonders gut vorbereitet. Auf der planaren Rückseite werden die Anschlußpfosten durch die folgenden Prozeßschritte herausgebildet und zugleich der Ritzrahmen, der etwas breiter als die Sägeschnittbreite 1a ausgebildet ist, zwischen den Bauteilen 2 zur späteren Vereinzelung der Chips freigelegt. In der Abbildung sind nur die wichtigsten Zwischenergebnisse dargestellt. Über eine erste Metallmaske 7a werden auf der Rückseite die Positionen für die Substratpfosten festgelegt, die aus dem Verlauf der Leiterbahnen auf der Vorderseite vorgegeben sind. Mit einer zweiten Maske, wird die gesamte Unterseite bis auf den Substratbereich um die Pfosten und zwischen den Chips im Ritzrahmen abgedeckt. Anschließend wird durch einen Plasmaätzprozeß in einem Hochratenätzmittel mit hohem Aspektverhältnis das freiliegende Substratmaterial zwischen den Pfosten bis auf einen geringen Rest abgetragen. Nach Entfernen der zweiten Maske, wird das restliche Substratmaterial um die Pfosten und das Substratmaterial unter den Bauteilen abgeätzt. Die Ätzung wird abgebrochen, sobald im Ritzrahmen und um die Anschlußpfosten der Kleber 4 der Vorderseite erreicht ist. Der Ätzprozeß stoppt aber auch an einer Siliciumoxid und an einer Metallgrenzfläche, d. h. auch an der Metallisierungsschicht, die innerhalb des Ätzspaltes freigelegt wird. Dies ist notwendig, um von der Chiprückseite die elektrischen Anschlüsse des Chips auf der Vorderseite zu kontaktieren. Damit entsteht eine etwas erhabene Pfostenstruktur 7 (Fig. 2b), die vom restlichen Substrat elektrisch getrennt ist (Fig. 2c). Durch Abtragen des Substrates innerhalb des Ritzrahmens werden die Chips voneinander getrennt und eine Vereinzelung vorbereitet. Der Zusammenhalt erfolgt nur noch durch die aufgeklebte Abdeckung auf der Wafervorderseite. Die Metallisierung der Anschlußpfosten 7 erfolgt durch ganzflächiges Bepuffern der Waferrückseite, Lackstrukturieren und galvanisches Verstärken der vorgesehenen Leiterbahnzüge und Rückätzen der ganzflächigen Metallisierungsschicht. Resultat ist eine elektrische Verbindung von den Bondpads der Chipvorderseite auf die Pfostenoberfläche der Rückseite. Die Substratpfosten sind nun auf der Vorderseite über die Kontaktmetallisierung oder den Bondpad mit dem IC elektrisch und über die Abdeckung 5 mechanisch verbunden. Um dem Pfosten Halt zu geben, wird der Ätzgraben und der Ritzrahmen mit Vergußmasse 9 ausgegossen, wobei auch die Rückseite des Chips mit Vergußmasse abgedeckt wird, so daß sich wiederum eine planare Oberfläche ergibt (Fig. 2d). In diesem Stadium können bereits mit gängigen Verfahrensschritten Lotmaterial in Form von Bumps oder Ball Grids 10 aufgebracht werden (Fig. 2e). Auf der planaren Oberfläche ist auch eine Umverdrahtung, sofern nötig, leicht durchführbar.

Sämtliche bisher beschriebenen Prozeßschritte werden im Waferverbund vorgenommen. Die einzelnen Chips sind zwar durch die Trennätzung entlang des Ritzrahmens voneinander getrennt, werden aber durch die Abdeckung auf der Vorderseite zusammengehalten. Das Vereinzeln der Chips 11 geschieht nun durch zersägen entlang der Trennspalte des Ritzrahmens (Fig. 2f). Dabei bleibt seitlich entlang der

Trennspalte Vergußmasse erhalten, so daß der Chip allseitig geschützt bleibt.

Im zweiten Beispiel wird der Verfahrensablauf gemäß Beispiel 1, Fig. 3 in der Prozeßfolge laut Fig. 4 variiert. Die Prozeßfolge wird durch einen weiteren Rückätzschritt der rückseitigen Abdeckung 9 ergänzt, wodurch die metallisierten Anschlußpfosten 7 aus der Oberfläche etwas heraustreten. Damit entsteht die Möglichkeit, die Geometrie der Pfosten so zu gestalten, daß sie auf die nachfolgenden Prozeßschritte beim Bonden der gehäuteten Bauteile auf Leiterbahnen optimal angepaßt werden können.

Im dritten Beispiel wird die Strukturierung der Anschlußpfosten in der in Fig. 5 gezeigten Weise variiert. Ziel dabei ist, durch zwei aufeinanderfolgende Grabenätzungen die Metallisierung im Zentrum des Substratpfostens anzubringen, wobei zudem eine Isolierungsschicht die Substratrückseite von der Metallisierungsschicht elektrisch isoliert. Auf diese Weise kann auch auf der Rückseite eine Umverdrahtung der Anschlüsse vorgenommen werden. Die Variation der Prozeßfolge folgt auf den im Beispiel 1 beschriebenen Schritt der Dünnung der Substratrückseite bis auf den Rest 6. Im einzelnen wird mit Hilfe einer Maske eine Grabenätzung in den Bereichen 12 und dem Ritzrahmen durchgeführt. Die Gräben werden mit Epoxy 9 ausgefüllt, wobei das Material auch die gesamte Rückseite als Isolationsschicht überdeckt. Anschließend wird im Zentrum der Pfosten 7, wiederum über eine Maske, eine weitere Grabenätzung bis zum vorderseitigen elektrischen Kontaktpads vorgenommen und in einem weiteren Prozeßschritt der Graben durch eine Metallschicht 8 ausgekleidet, wobei die Metallschicht 8 zur Umverdrahtung auf der Rückseite verwendet werden kann, indem sie auf der Isolationsschicht weitergeführt wird. Durch einen letzten Schritt wird, wie schon in Beispiel 1 erläutert, eine Vereinzelung der Chips vorgenommen.

Beim Layout einer Schaltung können im Hinblick auf die vorgeschlagene Verpackungstechnologie die Anschlußpfosten an jeder Stelle des Wafers vorgesehen werden, solange durch die Trennspalte keine aktiven Strukturen innerhalb des Chips zerstört werden. Für die Schaltung ergeben sich so bei geschickter Anordnung kürzere Leiterbahnen auf dem Chip, wobei ein Herausführen auf die Peripherie nicht mehr notwendig ist. Auch eine Umverdrahtung auf der Chiprückseite ist, wie bei anderen CSP-Verfahren üblich, nicht mehr nötig. Dadurch ergeben sich optimale Bedingungen für den Einsatz bei höchsten Frequenzen. Die Größe der Pfosten ist für die elektrische Funktion nicht entscheidend. Die minimale Größe wird durch die angewandte Ätztechnik bestimmt. Typische Anschlußpfostenabmessungen sind 20x20 µm und Trennspalte mit 30 µm Breite, bei einer Tiefe von 100 µm. Für die Nutzung der Anschlußpfosten als Landefläche für Bumps reicht eine Fläche von 5x5 µm aus.

#### Patentansprüche

1. Gehäuse für elektrische Bauteile, bei denen mit einer leitenden Schicht versehene Anschlußpfosten, bestehend aus Substratmaterial, das Bauteil elektrisch von der Oberseite zur Unterseite angeschlossen ist, dadurch gekennzeichnet, daß Anschlußpfosten (7) als Träger für Leiterbahnen an geeigneter, jedoch beliebiger Position innerhalb oder innerhalb und außerhalb der von den Bauteilen (2) beanspruchten Fläche angeordnet sind.
2. Gehäuse für elektrische Bauteile nach Anspruch 1, dadurch gekennzeichnet, daß die Anschlußpfosten (7) gegenüber dem Substrat (1) elektrisch isoliert sind.
3. Gehäuse für elektrische Bauteile nach Anspruch 1, dadurch gekennzeichnet, daß die Struktur der An-

schlußpfosten (7) quader- oder tonnenförmig ausgebildet ist.

4. Gehäuse für elektrische Bauteile nach einem der Ansprüche 1, 2 oder 3, dadurch gekennzeichnet, daß die Anschlußpfosten (7) direkt auf eine Leiterplatte befestigt sind.

5. Gehäuse für elektrische Bauteile nach einem der Ansprüche 1, 2 oder 3, dadurch gekennzeichnet, daß von den Anschlußpfosten (7) rückseitig Leiterbahnen zur Umverdrahtung angebracht sind.

6. Gehäuse für elektrische Bauteile nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die leitende Schicht (8) der Anschlußpfosten (7) eine Metallschicht oder eine ionenimplantierte Pflasteroberfläche ist.

7. Verfahren zur Herstellung von Gehäusen für elektrische Bauteile, dadurch gekennzeichnet, daß

- Substrat (1) und Chipoberfläche (2) mit einer elektrisch isolierenden Deckschicht mit Kontaktlöchern für elektrischen Anschlüsse versehen wird,
- Anschlußpads (3) an den Chiprand oder an die zur Durchführung des Anschlusses vorgesehene Stelle innerhalb des Chips (2) gelegt werden,
- Substrat (1) und Chipoberfläche (2) mit einer Abdeckung fest verbunden wird,
- das Substrat der Rückseite bis auf einen Rest (6) gedünnt wird
- Anschlußpfosten (7) im Substratmaterial, zum übrigen Substrat (1) isoliert, und der Ritzrahmen zur späteren Vereinzelung der Chips (2) bis auf die Anschlußpads (3) der Vorderseite geätzt werden,
- die Anschlußpfosten (7) metallisiert werden,
- die gesamte Rückseite mit einer Vergußmasse (9) abgedeckt wird,
- an den Stellen, an denen sich die Anschlußpfosten (7) befinden, für eine Anschlußmetallisierung die Vergußmasse (9) auf der Rückseite abgeätzt wird und,
- der elektrische Kontakt (8) aufgebracht wird.

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß als Abdeckung Substratmaterial (5), Silicium, Glas, Metall oder Keramik verwendet wird.

9. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß die Chipoberseite bevorzugt mit einem gut wärmeleitenden Material abgedeckt wird.

10. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß die Verbindung Chip-Abdeckung (5) mit einem Kleber (4) verbunden wird.

11. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß die Chiprückseite mechanisch oder chemisch bis auf eine Restdicke von 75 bis 200 µm gedünnt wird.

12. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß die Anschlußpfosten mittels einem Hochraten-Plasmaätzprozeß anisotrop strukturiert werden.

13. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß der Ritzrahmen für die Vereinzelung der Chips gleichzeitig mit den Anschlußpfosten mittels des Hochraten-Plasmaätzprozesses strukturiert werden.

14. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß die Metallisierung (8) der Anschlußpfosten mittels Sputtertechnik und anschließender Galvanisierung durchgeführt wird.

15. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß als Vergußmasse (9) Epoxy oder PMMA verwendet wird.

16. Verfahren nach Anspruch 7 und 15, dadurch gekennzeichnet,

daß die Vergußmasse (9) so zurückgeätzt wird, daß die Anschlußpfosten (7) heraustreten.

17. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß der elektrische Kontakt mittels Umverdrahtung auf der Rückseite und/oder der BGA Technik aufgebracht wird.

Hierzu 3 Seite(n) Zeichnungen